



# Rechnerarchitektur in Deutschland

Wolfgang Karl, Universität Karlsruhe (TH)

Vom 19.–23. Juni 2003 fand in München, Hotel Bayerischer Hof, die Konferenz „*The 31st International Conference on Computer Architecture, ISCA-32*“, statt. Die ISCA-Konferenzserie zählt seit 1973 zu den wichtigsten Tagungen auf dem Gebiet der Rechnerarchitektur. Die Themen der Konferenz umfassen alle Aspekte der Rechnerarchitektur. Insbesondere hat die Konferenz in München gezeigt, dass die Rechnerarchitektur weiterhin einen wichtigen Forschungsbereich der Informatik darstellt. Die Steigerung der Rechenleistung von Prozessoren wird in Zukunft durch strukturelle Maßnahmen, insbesondere durch parallele Organisationsformen erreicht werden. Vor allem Fragen des energieeffizienten Entwurfs spielen hierbei eine wesentliche Rolle.

Im Anschluss an die Konferenz bietet es sich an, die Arbeiten im Bereich der Rechnerarchitektur in Deutschland zu beleuchten. Aus diesem Grund werden in diesem Schwerpunktheft ausgewählte Beispiele von Forschungsaktivitäten zum Thema „*Rechnerarchitektur in Deutschland*“ vorgestellt. Der Platz reicht nicht, die vielen Projekte in einem Heft darzustellen. Entgegen einer vielleicht weit verbreiteten Meinung werden in Deutschland sehr wohl Projekte durchgeführt, die sich mit dem Entwurf und der Realisierung von Mikroprozessoren beschäftigen, wie zwei Beispiele in diesem Heft zeigen. Es handelt sich insbesondere um Arbeiten im Bereich eingebetteter Systeme.

Der Beitrag von *U. Brinkschulte, S. Uhrig* und *T. Ungerer* beschäftigt sich mit dem Entwurf und der Realisierung eines mehrfädigen Java-Microcontrollers. Mehrfädige Organisationsformen für Prozessoren spielen eine sehr wichtige Rolle bei aktuellen und zukünftigen Allzweck-Mikroprozessoren. Neben der Parallelität auf Maschinenbefehlsebene wird hier zusätzlich die Parallelität auf Thread-Ebene ausgenutzt, wodurch eine hohe Leistungsfähigkeit erreicht wird. Die mehrfädige Organisationsform beim Komodo-Mikrocontroller ermöglicht nicht nur eine schnelle Abarbeitung von Java-Programmen, sondern unterstützt insbesondere die Echtzeitfähigkeit mit neuartigen Scheduling-Techniken. Für Prozessoren, die im Bereich eingebetteter Systeme eingesetzt werden, spielt die Energieverwaltung eine wesentliche Rolle. Es wird auch gezeigt, wie auf der Grundlage der in den Prozessorkern integrierten Scheduling-Techniken die Verwaltung des Energiebedarfs durch Anpassung der Frequenz und der Spannung in Abhängigkeit des Rechenzeitbedarfs geregelt werden kann. Damit wird gezeigt, dass mit der Mehrfädigkeit bei Prozessoren für eingebettete Systeme wesentliche Anforderungen wie die Echtzeitfähigkeit und eine effiziente Energieverwaltung erreicht werden.

Die Parallelverarbeitung spielt auch bei einer weiteren Klasse von Spezialprozessoren eine zentrale Rolle, den Netzwerkprozessoren. Die hohen Anforderungen an

die Rechenleistung der Netzwerkkomponenten sind aufgrund der enorm steigenden Raten der Übertragungsgeschwindigkeiten von Verbindungsnetzen nur durch parallele Organisationsformen zu erfüllen. In dem Beitrag von *R. Hagenau, C. Albrecht, E. Maehle* und *A. Döring* wird gezeigt, welches Potential die Paketverarbeitung hinsichtlich der Parallelisierung bietet und damit von parallelen Prozessorarchitekturen ausgenutzt werden kann.

Ein weiteres wichtiges Thema, das zurzeit nicht nur im Bereich der Rechnerarchitektur diskutiert wird, ist die Selbstorganisation. In dem Beitrag von *J. Haase, F. Eschmann* und *K. Waldschmidt* wird eine Middleware (Self Distributing Virtual Machine, SDVM) beschrieben, mit der beliebige Rechner zu einem parallelen Rechner-Cluster verbunden werden können. Mithilfe dieser Middleware kann die Netzwerktopologie gewählt und während der Laufzeit geändert werden. Weiterhin erlaubt die SDVM die dynamische Anpassung der Größe des Clusters an die Anforderungen der Anwendung und eine Komponente unterstützt die automatische Verteilung von Daten- und Instruktionsblöcken. Mit diesen Mechanismen zur automatischen Konfiguration eines Clusters zeigt die SDVM einen Weg hin zur Selbstorganisation in parallelen Rechensystemen.

Zu einem wichtigen Thema auf den Rechnerarchitekturtagungen hat sich die Ausbildung im Bereich der Technischen Informatik herausgebildet. Beispielsweise



findet seit mehreren Jahren im Rahmen der ISCA auch ein Workshop zu diesem Thema statt (Workshop on Computer Architecture Education). Aus diesem Grund soll in diesem Heft auch dieses Thema mit behandelt werden, insbesondere auch deswegen, da in Deutschland auf diesem Gebiet seit mehreren Jahren durch eine Reihe von Projektförderungen im Rahmen des Programms „Neue Medien in der Bildung“ des Bundesministeriums für Bildung und Forschung intensiv gearbeitet wird. In diesem Heft stellen *U. Lucke*, *K. Nölting*

und *D. Tavangarian* den Ansatz vor, der im Rahmen des Verbundprojekts „Wissenswerkstatt Rechensysteme (WWR)“ verfolgt worden ist. Das Ziel dieses Verbundprojekts war es, den Lehrstoff im Bereich der Technischen Informatik multimedial aufzubereiten. Neben diesem Projekt werden weitere aktuelle Entwicklungen im Bereich eLearning aufgezeigt. Insbesondere diskutieren die Autoren, welche Möglichkeiten vor allem die Technische Informatik bietet, innovative Ansätze für Lehr- und Lernmodelle in der Ausbildung zu entwickeln.



**Prof. Dr. Wolfgang Karl** studierte Informatik an der Friedrich-Alexander-Universität Erlangen-Nürnberg und promovierte und habilitierte sich an der Technischen Universität München. Seit 2003 ist er Professor am Institut für Rechnerentwurf und Fehlertoleranz der Universität Karlsruhe (TH).

Adresse: Universität Karlsruhe, Fakultät für Informatik, Institut für Rechnerentwurf und Fehlertoleranz, Postfach 6980, 76128 Karlsruhe,

E-Mail: karl@ira.uka.de